

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-269959

(43)公開日 平成9年(1997)10月14日

(51) Int.Cl. ⁶ G 06 F 17/50 G 01 R 31/28 G 06 F 11/22 G 11 C 11/413	識別記号 3 1 0 3 6 0	府内整理番号 F I G 06 F 15/60 11/22 G 01 R 31/28	技術表示箇所 6 5 4 N 3 1 0 H 3 6 0 P G V
--	------------------------	--	---

審査請求 未請求 請求項の数13 OL (全19頁) 最終頁に続く

(21)出願番号 特願平8-223593
(22)出願日 平成8年(1996)8月26日
(31)優先権主張番号 特願平8-17489
(32)優先日 平8(1996)2月2日
(33)優先権主張国 日本 (JP)

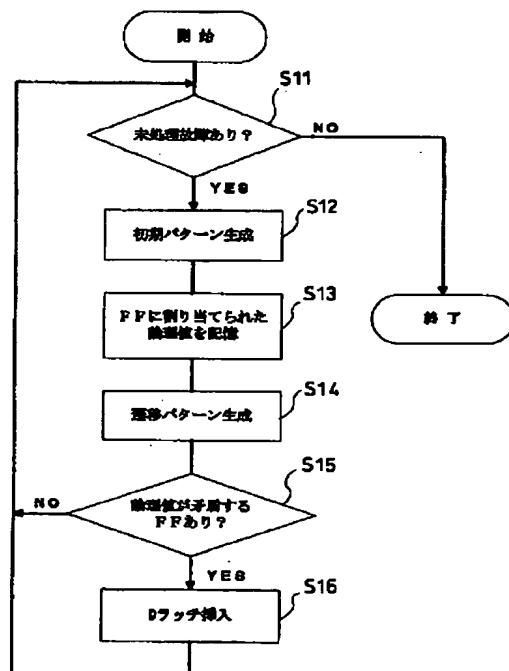
(71)出願人 000005821 松下電器産業株式会社 大阪府門真市大字門真1006番地
(72)発明者 細川 利典 大阪府門真市大字門真1006番地 松下電器 産業株式会社内
(74)代理人 弁理士 前田 弘 (外2名)

(54)【発明の名称】 経路遅延故障の検査容易化設計方法及び検査系列生成方法

(57)【要約】

【課題】 面積オーバーヘッドの大幅な増大を招くこと無く高い故障検出率を得ることができる、経路遅延故障のための検査容易化設計方法を提供する。

【解決手段】 ステップS11において、与えられた集積回路内の未処理の経路遅延故障を選択する。選択された経路遅延故障に対し、ステップS12において初期パターンを生成し、各スキャンフリップフロップに設定された論理値をステップS13において記憶する。また選択された経路遅延故障に対し、ステップS14において遷移パターンを生成する。ステップS15において、初期パターンと遷移パターンとで論理値が矛盾するスキャンフリップフロップが存在するか否かを判断する。ステップS16において、論理値が矛盾するスキャンフリップフロップの出力信号線にDラッチを挿入する。このDラッチによって論理値の矛盾が解消され、経路遅延故障の検査が容易になる。



【特許請求の範囲】

【請求項1】 与えられた集積回路に対し、経路遅延故障の検査が容易になるよう設計変更を行う経路遅延故障の検査容易化設計方法であって、

検査のために生成された初期パターン及び遷移パターンにおいて共に論理値が設定され且つ設定された論理値が初期パターンと遷移パターンとで矛盾するスキャンフリップフロップが集積回路内に存在するとき、入力されたデータを外部からの指示に従って一旦保持する機能を有する値保持素子を、前記集積回路内の当該スキャンフリップフロップの出力データが保持可能である位置に配置するよう設計変更することを特徴とする経路遅延故障の検査容易化設計方法。

【請求項2】 フルスキャン設計された集積回路に対し、外部入力端子又はスキャンフリップフロップのデータ出力端子を始点とすると共に外部出力端子又はスキャンフリップフロップの通常モードにおけるデータ入力端子を終点とし、始点から終点まで組み合わせ回路のみによって構成された任意の信号経路における、始点から出力された信号が終点に到達するまでにクロック周期以上の時間を要する経路遅延故障の有無を、容易に検査できるよう設計変更を行う経路遅延故障の検査容易化設計方法であって、

信号経路の始点から出力された信号が立ち上がり信号である経路遅延故障を立ち上がり遅延故障とし、信号経路の始点から出力された信号が立ち下がり信号である経路遅延故障を立ち下がり遅延故障とすると、

検査対象の経路遅延故障が立ち上がり遅延故障であるときは、経路遅延故障が想定された信号経路の始点に論理値“0”を設定する一方、立ち下がり遅延故障であるときは前記信号経路の始点に論理値“1”を設定し、さらに、前記信号経路が活性化されるように、前記信号経路の始点以外の外部入力端子又はスキャンフリップフロップのデータ出力端子に論理値を設定することによって、初期パターンを生成する第1の処理と、

前記第1の処理によって生成された初期パターンにおいてデータ出力端子に論理値が設定された各スキャンフリップフロップの、当該論理値を各々記憶する第2の処理と、

前記検査対象の経路遅延故障が立ち上がり遅延故障であるときは、前記信号経路の始点に論理値“1”を設定する一方、立ち下がり遅延故障であるときは前記信号経路の始点に論理値“0”を設定し、前記信号経路の始点がスキャンフリップフロップのデータ出力端子であるときは、該スキャンフリップフロップの通常モードにおける入力データが設定された論理値に一致するように入力端子又はスキャンフリップフロップのデータ出力端子に論理値を設定し、さらに、前記初期パターンにおいてデータ出力端子に論理値が設定された前記信号経路の始点以外のスキャンフリップフロップの通常モードにおける

入力データが前記第2の処理によって記憶された論理値に各々一致するように、外部入力端子又はスキャンフリップフロップのデータ出力端子に論理値を設定することによって、遷移パターンを生成する第3の処理と、前記初期パターン及び遷移パターンにおいて共に論理値が設定され且つ設定された論理値が初期パターンと遷移パターンとで矛盾するデータ出力端子を有するスキャンフリップフロップが集積回路内に存在するか否かを判断し、存在するときは、入力されたデータを外部からの指示によって一旦保持する機能を有する値保持素子を、前記集積回路内の当該スキャンフリップフロップの出力データが保持可能である位置に配置する第4の処理とを備えていることを特徴とする経路遅延故障の検査容易化設計方法。

【請求項3】 請求項2に記載の経路遅延故障の検査容易化設計方法において、

前記第4の処理は、前記値保持素子としてDラッチを前記集積回路内に配置し、配置したDラッチのイネーブル入力端子を前記集積回路の外部入力端子に接続する処理を備えていることを特徴とする経路遅延故障の検査容易化設計方法。

【請求項4】 請求項2に記載の経路遅延故障の検査容易化設計方法において、

前記第4の処理は、前記値保持素子としてトライステート素子を前記集積回路内に配置し、配置したトライステート素子のイネーブル入力端子を前記集積回路の外部入力端子に接続する処理を備えていることを特徴とする経路遅延故障の検査容易化設計方法。

【請求項5】 請求項2に記載の経路遅延故障の検査容易化設計方法において、

前記第4の処理は、前記値保持素子としてスキャンフリップフロップ又はDフリップフロップを前記集積回路内に配置し、配置したスキャンフリップフロップ又はDフリップフロップを前記集積回路内にすでに構成されているスキャンチェーンに接続する処理を備えていることを特徴とする経路遅延故障の検査容易化設計方法。

【請求項6】 請求項5に記載の経路遅延故障の検査容易化設計方法において、

前記第4の処理は、前記初期パターン及び遷移パターンにおいて共に論理値が設定され且つ設定された論理値が初期パターンと遷移パターンとで矛盾するデータ出力端子を有するスキャンフリップフロップの出力データ及び前記スキャンフリップフロップの出力データが保持可能である位置に前記値保持素子として配置されたスキャンフリップフロップ又はDフリップフロップの出力データのいずれか一方を、選択出力するセレクタを前記集積回路内に配置する処理を備えていることを特徴とする経路遅延故障の検査容易化設計方法。

【請求項7】 請求項3に記載の経路遅延故障の検査容易化設計方法による検査容易化設計が行われた集積回路

に対し、任意の信号経路における経路遅延故障の有無を検出するための検査系列を生成する経路遅延故障の検査系列生成方法であって、

信号経路の始点から出力された信号が立ち上がり信号である経路遅延故障を立ち上がり遅延故障とし、信号経路の始点から出力された信号が立ち下がり信号である経路遅延故障を立ち下がり遅延故障とすると、

検査容易化設計によって配置されたDラッチを、2つのデータ入力端子のうちの一方が前記Dラッチのデータ入力端子が接続されていたスキャンフリップフロップの出力端子に接続され、他方が架空の外部入力端子に接続されたセレクタに変換し、さらに、各セレクタの選択信号入力端子を架空の選択信号外部入力端子に接続することによって、検査系列生成用の回路モデルを生成する第1の処理と、

前記第1の処理によって生成された回路モデルに対し、検査系列生成対象の経路遅延故障が立ち上がり遅延故障であるときは該経路遅延故障が想定された信号経路の始点に論理値“0”を設定する一方、立ち下がり遅延故障であるときは前記信号経路の始点に論理値“1”を設定し、さらに、前記信号経路が活性化されるように、前記信号経路の始点以外の外部入力端子又はスキャンフリップフロップの出力端子に論理値を設定することによって、初期パターンを生成する第2の処理と、

前記第1の処理によって生成された回路モデルに対し、前記検査系列生成対象の経路遅延故障が立ち上がり遅延故障であるときは、前記信号経路の始点に論理値“1”を設定する一方、立ち下がり遅延故障であるときは前記信号経路の始点に論理値“0”を設定し、前記信号経路の始点がスキャンフリップフロップのデータ出力端子であるときは、該スキャンフリップフロップの通常モードにおける入力データが設定された論理値に一致するように入力端子又はスキャンフリップフロップのデータ出力端子に論理値を設定し、さらに、前記初期パターンにおいてデータ出力端子に論理値が設定された前記信号経路の始点以外のスキャンフリップフロップの通常モードにおける入力データが前記初期パターンにおいて設定された論理値に各々一致するように、外部入力端子又はスキャンフリップフロップのデータ出力端子に論理値を設定することによって、遷移パターンを生成する第3の処理と、

前記集積回路に対し、前記回路モデルにおける各セレクタのデータ入力端子が接続された架空の外部入力端子における論理値を、各セレクタのもう一方のデータ入力端子が接続されたスキャンフリップフロップのデータ出力端子に設定し、さらに、前記検査容易化設計によって配置されたDラッチのイネーブル入力端子が接続された外部入力端子における論理値を、前記Dラッチがデータスルーモードになるように設定するスキャンインパターンを生成する第4の処理と、

前記集積回路に対し、前記初期パターン及び遷移パターンにおいて設定された論理値を各スキャンフリップフロップのデータ出力端子に各々設定し、さらに、前記Dラッチのイネーブル入力端子が接続された外部入力端子の論理値を、前記Dラッチがデータ保持モードになるように設定するスキャンインパターンを生成する第5の処理とを備えていることを特徴とする経路遅延故障の検査系列生成方法。

【請求項8】 請求項4に記載の経路遅延故障の検査容易化設計方法による検査容易化設計が行われた集積回路に対し、任意の信号経路における経路遅延故障の有無を検出するための検査系列を生成する経路遅延故障の検査系列生成方法であって、

信号経路の始点から出力された信号が立ち上がり信号である経路遅延故障を立ち上がり遅延故障とし、信号経路の始点から出力された信号が立ち下がり信号である経路遅延故障を立ち下がり遅延故障とすると、

検査容易化設計によって配置されたトライステート素子を、2つのデータ入力端子のうちの一方が前記トライステート素子のデータ入力端子が接続されていたスキャンフリップフロップの出力端子に接続され、他方が架空の外部入力端子に接続されたセレクタに変換し、さらに、各セレクタの選択信号入力端子を架空の選択信号外部入力端子に接続することによって、検査系列生成用の回路モデルを生成する第1の処理と、

前記第1の処理によって生成された回路モデルに対し、検査系列生成対象の経路遅延故障が立ち上がり遅延故障であるときは、前記信号経路の始点に論理値“0”を設定する一方、立ち下がり遅延故障であるときは前記信号経路の始点に論理値“1”を設定し、さらに、前記信号経路が活性化されるように、前記信号経路以外の外部入力端子又はスキャンフリップフロップの出力端子に論理値を設定することによって、初期パターンを生成する第2の処理と、

前記第1の処理によって生成された回路モデルに対し、前記検査系列生成対象の経路遅延故障が立ち上がり遅延故障であるときは、前記信号経路の始点に論理値“1”を設定する一方、立ち下がり遅延故障であるときは前記信号経路の始点に論理値“0”を設定し、前記信号経路の始点がスキャンフリップフロップのデータ出力端子であるときは、該スキャンフリップフロップの通常モードにおける入力データが設定された論理値に一致するように入力端子又はスキャンフリップフロップのデータ出力端子に論理値を設定し、さらに、前記初期パターンにおいてデータ出力端子に論理値が設定された前記信号経路の始点以外のスキャンフリップフロップの通常モードにおける入力データが前記初期パターンにおいて設定された論理値に各々一致するように、外部入力端子又はスキャンフリップフロップのデータ出力端子に論理値を設定することによって、遷移パターンを生成する第3の

処理と、

前記集積回路に対し、前記回路モデルにおける各セレクタのデータ入力端子が接続された架空の外部入力端子における論理値を、各セレクタのもう一方のデータ入力端子が接続されたスキャンフリップフロップのデータ出力端子に設定し、さらに、前記検査容易化設計によって配置されたトライステート素子のイネーブル入力端子が接続された外部入力端子における論理値を、前記トライステート素子がデータスルーモードになるように設定するスキャンインパターンを生成する第4の処理と、前記集積回路に対し、前記初期パターン及び遷移パターンにおいて設定された論理値を各スキャンフリップフロップのデータ出力端子に各々設定し、さらに、前記トライステート素子のイネーブル入力端子が接続された外部入力端子の論理値を、前記トライステート素子がデータ保持モードになるように設定するスキャンインパターンを生成する第5の処理とを備えていることを特徴とする経路遅延故障の検査系列生成方法。

【請求項9】 経路遅延故障の有無の検査のために生成された初期パターン及び遷移パターンにおいて共に論理値が設定され且つ設定された論理値が初期パターンと遷移パターンとで矛盾するスキャンフリップフロップを有し、経路遅延故障の有無の検査が容易になるよう設計変更された集積回路であって、

入力されたデータを外部からの指示に従って一旦保持する機能を有する値保持素子を、前記スキャンフリップフロップの出力データが保持可能である位置に配置したことを特徴とする集積回路。

【請求項10】 配置された値保持素子は、イネーブル入力端子が外部入力端子に接続されたDラッチであることを特徴とする請求項9に記載の集積回路。

【請求項11】 配置された値保持素子は、イネーブル入力端子が外部入力端子に接続されたトライステート素子であることを特徴とする請求項9に記載の集積回路。

【請求項12】 配置された値保持素子は、設計変更前にすでに構成されていたスキャンチェーンに接続されたスキャンフリップフロップ又はDフリップフロップであることを特徴とする請求項9に記載の集積回路。

【請求項13】 前記スキャンフリップフロップの出力データ及び前記値保持素子として配置されたスキャンフリップフロップ又はDフリップフロップの出力データのいずれか一方を選択出力するセレクタを配置したことを特徴とする請求項12に記載の集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、集積回路の検査容易化設計方法及び検査系列生成方法に関するものであり、特に、経路遅延故障の検査を容易にする検査容易化設計方法、及び前記検査容易化設計方法によって検査容易化が行われた集積回路に対する検査系列を生成する検

査系列生成方法に関する。

【0002】

【従来の技術】 集積回路の集積度の向上に伴い、優れた検査容易化設計方法及び検査系列生成方法が要求されている。特に、経路遅延故障の検査を容易にする検査容易化設計方法及び検査系列生成方法のニーズが高まっている。

【0003】 経路遅延故障の検査方法として代表的なものは、次の3つである。

(1) スキャンフリップフロップのシフト動作のみによって、初期パターン及び遷移パターンを生成する。

(2) スキャンフリップフロップのシフト動作によって初期パターンを生成し、その後、通常動作によって遷移パターンを生成する。

(3) (1)の方法に加えて、スキャンフリップフロップの出力にDフリップフロップを接続した専用のスキャンフリップフロップセルを使用する。

【0004】 従来の経路遅延故障の検査系列生成方法及び検査容易化設計方法は、“Design-for-Testability for Path Delay Faults in Large Combinational Circuits Using Test-Points” (I. Pomeranz, S. M. Reddy, 1994年、デザインオートメーションカンファレンス) 及びこの文献の参考文献に記載されている。

【0005】

【発明が解決しようとする課題】 しかしながら、従来の経路遅延故障の検査方法には、以下のようないくつかの問題がある。

【0006】 まず、(1)の方法では、初期パターン及び遷移パターンをスキャンフリップフロップのシフト動作のみでは生成できない場合が多い。したがって、経路遅延故障の検出率が悪い。

【0007】 また、(2)の方法によると、一般的には(1)の方法に比べて故障検出率は改善されるが、初期パターンと遷移パターンとで共通のスキャンフリップフロップに論理値を設定する場合、このスキャンフリップフロップにおいて論理値に矛盾が生じ、初期パターン又は遷移パターンの生成に失敗する可能性がある。このような場合、故障検出率はかえって低下する。

【0008】 さらに、(3)の方法では、スキャンフリップフロップセル内のDフリップフロップに遷移パターンを保持させるようにスキャンインを行うので、(1)及び(2)の方法に比べて故障検出率は改善される。しかし、専用のスキャンフリップフロップセルを用いるため、集積回路の面積オーバーヘッドが大幅に増大する。また、1つのスキャンフリップフロップセルに2つのフリップフロップが含まれているため、スキャンインのために要するテストパターン数が(1)又は(2)の方法に比べて2倍になり、テストパターン数が増大する。

【0009】 前記の問題に鑑み、本発明は、集積回路の面積オーバーヘッド及び検査に要するテストパターン数

の大幅な増大を招くこと無く、高い故障検出率を得ることができる、経路遅延故障のための検査容易化設計方法及び検査系列生成方法を提供することを課題とする。

【0010】

【課題を解決するための手段】前記の課題を解決するため、請求項1の発明が講じた解決手段は、与えられた集積回路に対して経路遅延故障の検査が容易になるよう設計変更を行う経路遅延故障の検査容易化設計方法として、検査のために生成された初期パターン及び遷移パターンにおいて共に論理値が設定され且つ設定された論理値が初期パターンと遷移パターンとで矛盾するスキャンフリップフロップが集積回路回路内に存在するとき、入力されたデータを外部からの指示に従って一旦保持する機能を有する値保持素子を、前記集積回路内の当該スキャンフリップフロップの出力データが保持可能である位置に配置するものであり、これにより、前記スキャンフリップフロップの論理値の矛盾が解消され、初期パターン及び遷移パターンの生成の失敗を未然に防ぐことができる。

【0011】請求項2の発明が講じた解決手段は、請求項1の発明を具体化したものであり、フルスキャン設計された集積回路に対し、外部入力端子又はスキャンフリップフロップのデータ出力端子を始点とすると共に外部出力端子又はスキャンフリップフロップの通常モードにおけるデータ入力端子を終点とし、始点から終点まで組み合わせ回路のみによって構成された任意の信号経路における、始点から出力された信号が終点に到達するまでにクロック周期以上の時間を要する経路遅延故障の有無を、容易に検査できるよう設計変更を行う経路遅延故障の検査容易化設計方法として、信号経路の始点から出力された信号が立ち上がり信号である経路遅延故障を立ち上がり遅延故障とし、信号経路の始点から出力された信号が立ち下がり信号である経路遅延故障を立ち下がり遅延故障とすると、検査対象の経路遅延故障が立ち上がり遅延故障であるときは、経路遅延故障が想定された信号経路の始点に論理値“0”を設定する一方、立ち下がり遅延故障であるときは前記信号経路の始点に論理値

“1”を設定し、さらに、前記信号経路が活性化されるよう、前記信号経路の始点以外の外部入力端子又はスキャンフリップフロップのデータ出力端子に論理値を設定することによって、初期パターンを生成する第1の処理と、前記第1の処理によって生成された初期パターンにおいてデータ出力端子に論理値が設定された各スキャンフリップフロップの、当該論理値を各々記憶する第2の処理と、前記検査対象の経路遅延故障が立ち上がり遅延故障であるときは、前記信号経路の始点に論理値

“1”を設定する一方、立ち下がり遅延故障であるときは前記信号経路の始点に論理値“0”を設定し、前記信号経路の始点がスキャンフリップフロップのデータ出力端子であるときは、該スキャンフリップフロップの通常

モードにおける入力データが設定された論理値に一致するように外部入力端子又はスキャンフリップフロップのデータ出力端子に論理値を設定し、さらに、前記初期パターンにおいてデータ出力端子に論理値が設定された前記信号経路の始点以外のスキャンフリップフロップの通常モードにおける入力データが前記第2の処理によって記憶された論理値に各々一致するように、外部入力端子又はスキャンフリップフロップのデータ出力端子に論理値を設定することによって、遷移パターンを生成する第3の処理と、前記初期パターン及び遷移パターンにおいて共に論理値が設定され且つ設定された論理値が初期パターンと遷移パターンとで矛盾するデータ出力端子を有するスキャンフリップフロップが集積回路内に存在するか否かを判断し、存在するときは、入力されたデータを外部からの指示によって一旦保持する機能を有する値保持素子を、前記集積回路内の当該スキャンフリップフロップの出力データが保持可能である位置に配置する第4の処理とを備えている構成とするものである。

【0012】請求項2の発明により、まず、第1の処理によって、与えられた集積回路に対し、経路遅延故障の有無を検査するための初期パターンが生成される。第2の処理によって、初期パターンにおいて各スキャンフリップフロップのデータ出力端子に設定された論理値が記憶される。次に、第3の処理によって、与えられた集積回路に対し、経路遅延故障の有無を検査するための遷移パターンが生成される。第4の処理によって、初期パターンと遷移パターンとでデータ出力端子に設定された論理値が矛盾するスキャンフリップフロップが存在するか否かが判断され、存在するときは、当該スキャンフリップフロップの出力データが保持可能である位置に、入力されたデータを外部からの指示によって一旦保持する機能を有する値保持素子が配置される。このことにより、スキャンフリップフロップのデータ出力端子における論理値の矛盾が解消され、初期パターン及び遷移パターンの生成の失敗を未然に防ぐことができる。また、この値保持素子は実際に矛盾を起こす箇所にのみ配置されるので、ハードウェアのわずかな増加によって故障検出率を向上させることができる。

【0013】ここで、請求項3の発明は、前記請求項2の発明に係る経路遅延故障の検査容易化設計方法における第4の処理が、前記値保持素子としてDラッチを前記集積回路内に配置し、配置したDラッチのイネーブル入力端子を前記集積回路の外部入力端子に接続する処理を備えているものとする。

【0014】また、請求項4の発明は、前記請求項2の発明に係る経路遅延故障の検査容易化設計方法における第4の処理が、前記値保持素子としてトライステート素子を前記集積回路内に配置し、配置したトライステート素子のイネーブル入力端子を前記集積回路の外部入力端

子に接続する処理を備えているものとする。

【0015】さらに、請求項5の発明は、前記請求項2の発明に係る経路遅延故障の検査容易化設計方法における第4の処理が、前記値保持素子としてスキャンフリップフロップ又はDフリップフロップを前記集積回路内に配置し、配置したスキャンフリップフロップ又はDフリップフロップを前記集積回路内にすでに構成されているスキャンチェーンに接続する処理を備えているものとする。

【0016】請求項5の発明によると、集積回路に新たに外部端子を付加する必要がない。また、検査容易化が行われた回路は、従来と同様の方法によって、検査系列の生成を行うことができる。

【0017】そして、請求項6の発明では、前記請求項5の経路遅延故障の検査容易化設計方法における第4の処理は、前記初期パターン及び遷移パターンにおいて共に論理値が設定され且つ設定された論理値が初期パターンと遷移パターンとで矛盾するデータ出力端子を有するスキャンフリップフロップの出力データ及び前記スキャンフリップフロップの出力データが保持可能である位置に前記値保持素子として配置されたスキャンフリップフロップ又はDフリップフロップの出力データのいずれか一方を、選択出力するセレクタを前記集積回路内に配置する処理を備えているものとする。

【0018】請求項7の発明が講じた解決手段は、請求項3に記載の経路遅延故障の検査容易化設計方法による検査容易化設計が行われた集積回路に対し、任意の信号経路における経路遅延故障の有無を検出するための検査系列を生成する検査系列生成方法として、信号経路の始点から出力された信号が立ち上がり信号である経路遅延故障を立ち上がり遅延故障とし、信号経路の始点から出力された信号が立ち下がり信号である経路遅延故障を立ち下がり遅延故障とすると、検査容易化設計によって配置されたDラッチを、2つのデータ入力端子のうち一方が前記Dラッチのデータ入力端子が接続されていたスキャンフリップフロップの出力端子に接続され、他方が架空の外部入力端子に接続されたセレクタに変換し、さらに、各セレクタの選択信号入力端子を架空の選択信号外部入力端子に接続することによって、検査系列生成用の回路モデルを生成する第1の処理と、前記第1の処理によって生成された回路モデルに対し、検査系列生成対象の経路遅延故障が立ち上がり遅延故障であるときは該経路遅延故障が想定された信号経路の始点に論理値“0”を設定する一方、立ち下がり遅延故障であるときは前記信号経路の始点に論理値“1”を設定し、さらに、前記信号経路が活性化されるように、前記信号経路の始点以外の外部入力端子又はスキャンフリップフロップの出力端子に論理値を設定することによって、初期パターンを生成する第2の処理と、前記第1の処理によって生成された回路モデルに対し、前記検査系列生成対象の経路遅

延故障が立ち上がり遅延故障であるときは、前記信号経路の始点に論理値“1”を設定する一方、立ち下がり遅延故障であるときは前記信号経路の始点に論理値“0”を設定し、前記信号経路の始点がスキャンフリップフロップのデータ出力端子であるときは、該スキャンフリップフロップの通常モードにおける入力データが設定された論理値に一致するように外部入力端子又はスキャンフリップフロップのデータ出力端子に論理値を設定し、さらに、前記初期パターンにおいてデータ出力端子に論理値が設定された前記信号経路の始点以外のスキャンフリップフロップの通常モードにおける入力データが前記初期パターンにおいて設定された論理値に各々一致するように、外部入力端子又はスキャンフリップフロップのデータ出力端子に論理値を設定することによって、遷移パターンを生成する第3の処理と、前記集積回路に対し、前記回路モデルにおける各セレクタのデータ入力端子が接続された架空の外部入力端子における論理値を、各セレクタのもう一方のデータ入力端子が接続されたスキャンフリップフロップのデータ出力端子に設定し、さらに、前記検査容易化設計によって配置されたDラッチのイネーブル入力端子が接続された外部入力端子における論理値を、前記Dラッチがデータスルーモードになるように設定するスキャンインパターンを生成する第4の処理と、前記集積回路に対し、前記初期パターン及び遷移パターンにおいて設定された論理値を各スキャンフリップフロップのデータ出力端子に各々設定し、さらに、前記Dラッチのイネーブル入力端子が接続された外部入力端子の論理値を、前記Dラッチがデータ保持モードになるように設定するスキャンインパターンを生成する第5の処理とを備えている構成とするものである。

【0019】請求項7の発明により、請求項3に記載の検査容易化設計方法による検査容易化設計が行われた集積回路に対し、配置されたDラッチをセレクタと見なすことによって、経路遅延故障のための検査系列を容易に生成することができる。

【0020】請求項8の発明が講じた解決手段は、請求項4に記載の経路遅延故障の検査容易化設計方法による検査容易化設計が行われた集積回路に対し、任意の信号経路における経路遅延故障の有無を検出するための検査系列を生成する経路遅延故障の検査系列生成方法として、信号経路の始点から出力された信号が立ち上がり信号である経路遅延故障を立ち上がり遅延故障とし、信号経路の始点から出力された信号が立ち下がり信号である経路遅延故障を立ち下がり遅延故障とすると、検査容易化設計によって配置されたトライステート素子を、2つのデータ入力端子のうち一方が前記トライステート素子のデータ入力端子が接続されていたスキャンフリップフロップの出力端子に接続され、他方が架空の外部入力端子に接続されたセレクタに変換し、さらに、各セレクタの選択信号入力端子を架空の選択信号外部入力端子に接

続することによって、検査系列生成用の回路モデルを生成する第1の処理と、前記第1の処理によって生成された回路モデルに対し、検査系列生成対象の経路遅延故障が立ち上がり遅延故障であるときは、前記信号経路の始点に論理値“0”を設定する一方、立ち下がり遅延故障であるときは前記信号経路の始点に論理値“1”を設定し、さらに、前記信号経路が活性化されるように、前記信号経路以外の外部入力端子又はスキャンフリップフロップの出力端子に論理値を設定することによって、初期パターンを生成する第2の処理と、前記第1の処理によって生成された回路モデルに対し、前記検査系列生成対象の経路遅延故障が立ち上がり遅延故障であるときは、前記信号経路の始点に論理値“1”を設定する一方、立ち下がり遅延故障であるときは前記信号経路の始点に論理値“0”を設定し、前記信号経路の始点がスキャンフリップフロップのデータ出力端子であるときは、該スキャンフリップフロップの通常モードにおける入力データが設定された論理値に一致するように外部入力端子又はスキャンフリップフロップのデータ出力端子に論理値を設定し、さらに、前記初期パターンにおいてデータ出力端子に論理値が設定された前記信号経路の始点以外のスキャンフリップフロップの通常モードにおける入力データが前記初期パターンにおいて設定された論理値に各々一致するように、外部入力端子又はスキャンフリップフロップのデータ出力端子に論理値を設定することによって、遷移パターンを生成する第3の処理と、前記集積回路に対し、前記回路モデルにおける各セレクタのデータ入力端子が接続された架空の外部入力端子における論理値を、各セレクタのもう一方のデータ入力端子が接続されたスキャンフリップフロップのデータ出力端子に設定し、さらに、前記検査容易化設計によって配置されたトライステート素子のイネーブル入力端子が接続された外部入力端子における論理値を、前記トライステート素子がデータスルーモードになるように設定するスキャンインパターンを生成する第4の処理と、前記集積回路に対し、前記初期パターン及び遷移パターンにおいて設定された論理値を各スキャンフリップフロップのデータ出力端子に各々設定し、さらに、前記トライステート素子のイネーブル入力端子が接続された外部入力端子の論理値を、前記トライステート素子がデータ保持モードになるように設定するスキャンインパターンを生成する第5の処理とを備えている構成とするものである。

【0021】請求項8の発明により、請求項4に記載の経路遅延故障の検査容易化設計方法による検査容易化設計が行われた集積回路に対し、配置されたトライステート素子をセレクタと見なすことによって、経路遅延故障のための検査系列を容易に生成することができる。

【0022】請求項9の発明が講じた解決手段は、経路遅延故障の有無の検査のために生成された初期パターン及び遷移パターンにおいて共に論理値が設定され且つ設

定された論理値が初期パターンと遷移パターンとで矛盾するスキャンフリップフロップを有し、経路遅延故障の有無の検査が容易になるよう設計変更された集積回路として、入力されたデータを外部からの指示に従って一旦保持する機能を有する値保持素子を、前記スキャンフリップフロップの出力データが保持可能である位置に配置したものである。

【0023】ここで、請求項10の発明では、前記請求項9の発明に係る集積回路に、配置された値保持素子は、イネーブル入力端子が外部入力端子に接続されたDラッチであるものとする。

【0024】また、請求項11の発明では、前記請求項9の発明に係る集積回路に、配置された値保持素子は、イネーブル入力端子が外部入力端子に接続されたトライステート素子であるものとする。

【0025】さらに、請求項12の発明では、前記請求項9の発明に係る集積回路に、配置された値保持素子は、設計変更前にすでに構成されていたスキャンチェーンに接続されたスキャンフリップフロップ又はDフリップフロップであるものとする。そして、請求項13の発明では、前記請求項12の発明に係る集積回路に、前記スキャンフリップフロップの出力データ及び前記値保持素子として配置されたスキャンフリップフロップ又はDフリップフロップの出力データのいずれか一方を選択出力するセレクタを配置したものとする。

【0026】

【発明の実施の形態】

(第1の実施形態) 本発明の第1の実施形態は、経路遅延故障の検査が容易になるように集積回路の設計を変更する検査容易化設計方法に関するものである。ここで、経路遅延故障とは、外部入力端子又はスキャンフリップフロップのデータ出力端子を始点とすると共に外部出力端子又はスキャンフリップフロップの通常モードにおけるデータ入力端子を終点とし、始点から終点まで組み合わせ回路のみによって構成された信号経路において、信号が始点から出力されてから終点に到達するまでにクロック周期以上の時間を要する故障のことをいう。また、始点から出力された信号が立ち上がり信号であるときは、その経路遅延故障を立ち上がり遅延故障といい、始点から出力された信号が立ち下がり信号であるときは立ち下がり遅延故障という。

【0027】図1は、本実施形態に係る検査容易化設計方法における処理の流れを示すフローチャートである。

【0028】まず、ステップS11において、与えられた集積回路に対し、まだ処理されていない経路遅延故障があるか否かを判断する。処理されていない経路遅延故障があるときは、対象とする経路遅延故障を1つ選択してからステップS12に進み、処理されていない経路遅延故障がないときは処理を終了する。

【0029】次に、ステップS12において、初期バタ

ーンの生成を行う。具体的には、信号経路の始点である外部入力端子又はスキャンフリップフロップのデータ出力端子に、選択された経路遅延故障が立ち上がり遅延故障であるときは論理値“0”を設定し、選択された経路遅延故障が立ち下がり遅延故障であるときは論理値

“1”を設定する。さらに、他の外部入力端子又はスキャンフリップフロップのデータ出力端子に、この信号経路が活性化されるような論理値を設定する。

【0030】次に、ステップS13において、ステップS12で生成された初期パターンにおいてデータ出力端子に論理値が設定された各スキャンフリップフロップの、その論理値を記憶する。

【0031】次に、ステップS14において、遷移パターンの生成を行う。具体的には、選択された経路遅延故障が立ち上がり遅延故障であるときは、経路の始点に論理値“1”を設定し、選択された経路遅延故障が立ち下がり遅延故障であるときは、経路の始点に論理値“0”を設定する。また、信号経路の始点がスキャンフリップフロップのデータ出力端子であるとき、このスキャンフリップフロップの通常モードにおける入力データが、設定した論理値に一致するように、他の外部入力端子又はスキャンフリップフロップの論理値を設定する。さらに、ステップS12で生成された初期パターンにおいてデータ出力端子に論理値が設定され且つ該データ出力端子が経路の始点でないスキャンフリップフロップの、通常モードにおけるデータ入力がステップS13で記憶した論理値に各々一致するように、外部入力端子又はスキャンフリップフロップの値を決定する。

【0032】次に、ステップS15において、ステップS13で記憶された論理値とステップS14でデータ出力端子に設定された論理値とが矛盾するスキャンフリップフロップが、与えられた集積回路内に存在するか否かを判断する。論理値が矛盾するスキャンフリップフロップが存在し、且つステップS14でこのスキャンフリップフロップの出力端子に論理値を設定した際に当たった信号線が経路遅延故障を含んでいなければ、ステップS16に進み、それ以外の場合は、選択された経路遅延故障の処理は終了したものとして、ステップS11に戻る。

【0033】次に、ステップS16において、論理値が矛盾するスキャンフリップフロップに対し、ステップS14でこのスキャンフリップフロップの出力端子に論理値を設定した際に当たった信号線上の、このスキャンフリップフロップの出力データが保持可能である位置にDラッチを挿入する。また、Dラッチのイネーブル入力端子は、新たに追加する外部入力端子又は、与えられた集積回路に既に設けられている、スキャンモードと通常モードとを切り換える外部入力端子に接続する。Dラッチを挿入したら、選択された経路遅延故障の処理は終了したものとして、ステップS11に戻る。

【0034】本実施形態に係る検査容易化設計方法につ

いて、簡単な回路を対象にした場合を例にとって、さらに詳細に説明する。図2は、本実施形態に係る検査容易化設計方法の対象となる集積回路を示す回路図である。図2において、10a～10gはスキャンフリップフロップ、11はNORゲート、12はANDゲート、13はインバータ、14はANDゲート、15はORゲートである。

【0035】図2に示す集積回路に対し、まず、ステップS11において、まだ処理されていない経路遅延故障の中から処理対象の故障を選択する。ここでは、信号経路20a、20b及び20cに想定された経路遅延故障を選択するものとする。また、選択された経路遅延故障は立ち上がり遅延故障であるものとする。

【0036】次に、ステップS12において、初期パターンを生成する。まず、選択された経路遅延故障は立ち上がり遅延故障であるので、信号経路20a、20b及び20cの始点となるスキャンフリップフロップ10dのデータ出力端子に論理値“0”を設定する。さらに、信号経路20bを活性化するためにスキャンフリップフロップ10eに論理値“1”を設定し、信号経路20cを活性化するためにスキャンフリップフロップ10fに論理値“0”を設定する。図3は、ステップS12において生成された初期パターンを示す図である。

【0037】次に、ステップS13において、スキャンフリップフロップ10dのデータ出力端子に設定された論理値“0”、スキャンフリップフロップ10eのデータ出力端子に設定された論理値“1”、及びスキャンフリップフロップ10fのデータ出力端子に設定された論理値“0”を、各スキャンフリップフロップに対して各々記憶する。

【0038】次に、ステップS14において、遷移パターンを生成する。まず、選択された経路遅延故障は立ち上がり遅延故障であるので、信号経路20a、20b及び20cの始点となるスキャンフリップフロップ10dのデータ出力端子に論理値“1”を設定する。また、このスキャンフリップフロップ10dの通常モードにおける入力データが論理値“1”になるように、スキャンフリップフロップ10a及び10eのデータ出力端子に各々論理値“0”を設定する。さらに、ステップS12で生成された初期パターンにおいてスキャンフリップフロップ10eのデータ出力端子に設定された論理値“1”が、スキャンフリップフロップ10eの通常モードにおける入力データとして与えられるように、スキャンフリップフロップ10b及び10fのデータ出力端子に各々論理値“1”を設定する。また、ステップS12で生成された初期パターンにおいてスキャンフリップフロップ10fのデータ出力端子に設定された論理値“0”が、スキャンフリップフロップ10fの通常モードにおける入力データとして与えられるように、スキャンフリップフロップ10cのデータ出力端子に論理値“1”を設定

する。

【0039】図4は、ステップS14で生成された遷移パターンを示す図である。図4において、○で囲んだ数字は初期パターンにおいて設定された論理値、○で囲んでいない数字は、遷移パターンにおいて設定された論理値である。

【0040】次に、ステップS15において、初期パターンと遷移パターンとで論理値が矛盾するスキャンフリップフロップを探す。図4において、スキャンフリップフロップ10e及び10fの論理値が矛盾しているのが分かる。また、フリップフロップ10eのデータ出力端子からNORゲート11の入力端子までの信号線、及びフリップフロップ10fのデータ出力端子からANDゲート12の入力端子までの信号線には、経路遅延故障が想定されていないものとする。

【0041】次に、ステップS16において、論理値が矛盾するスキャンフリップフロップ10e及び10fの出力信号線にDラッチを挿入する。図5は、ステップS16でDラッチが挿入された結果を示す回路図である。図5において、スキャンフリップフロップ10eのデータ出力端子と、遷移パターンを生成する際に辿った信号線上にあるNORゲート11の入力端子との間に、Dラッチ30aが挿入されている。また、スキャンフリップフロップ10fのデータ出力端子と、遷移パターンを生成する際に辿った信号線上にあるANDゲート12の入力端子との間に、Dラッチ30bが挿入されている。さらに、挿入されたDラッチ30a及び30bのイネーブル入力端子には、新たに追加された外部入力端子31が接続されている。

【0042】以上説明したように、本実施形態に係る検査容易化設計方法によると、初期パターンと遷移パターンとでデータ出力端子における論理値が矛盾するスキャンフリップフロップの出力信号線にDラッチを挿入することによって、論理値の矛盾を解消する。これにより、従来では検査系列の生成に失敗していた経路遅延故障に対しても検査系列を生成することができるようになり、集積回路の検査容易化が実現される。しかも、論理値が矛盾する箇所にDラッチを挿入するだけなので、従来よりも少ないハードウェア量で、集積回路の検査容易化を行うことができる。

【0043】なお、Dラッチの代わりにトライステート素子を用いてもよい。この場合、配置したトライステート素子のイネーブル入力端子を、集積回路の外部入力端子に接続すれば良い。

【0044】(第2の実施形態) 本発明の第2の実施形態もまた、経路遅延故障の検査容易化設計方法に関するものである。第1の実施形態と異なるのは、論理値が矛盾する箇所に挿入するのがDラッチではなく、フリップフロップである点である。

【0045】図6は、本実施形態に係る検査容易化設計

方法における処理の流れを示すフローチャートである。ステップS21～S25は、図1に示したステップS11～S15と同様の処理である。

【0046】まず、ステップS21において、与えられた集積回路に対し、まだ処理されていない経路遅延故障があるか否かを判断する。処理されていない経路遅延故障があるときは、対象とする経路遅延故障を1つ選択してステップS22に進み、処理されていない経路遅延故障がないときは処理を終了する。

【0047】次に、ステップS22において、初期パターンの生成を行う。具体的には、信号経路の始点である外部入力端子又はスキャンフリップフロップのデータ出力端子に、選択された経路遅延故障が立ち上がり遅延故障であるときは論理値“0”を設定し、選択された経路遅延故障が立ち下がり遅延故障であるときは論理値“1”を設定する。さらに、他の外部入力端子又はスキャンフリップフロップのデータ出力端子に、この信号経路が活性化されるような論理値を設定する。

【0048】次に、ステップS23において、ステップS22で生成された初期パターンにおいてデータ出力端子に論理値が設定された各スキャンフリップフロップの、その論理値を記憶する。

【0049】次に、ステップS24において、遷移パターンの生成を行う。具体的には、選択された経路遅延故障が立ち上がり遅延故障であるときは、経路の始点に論理値“1”を設定し、選択された経路遅延故障が立ち下がり遅延故障であるときは、経路の始点に論理値“0”を設定する。また、信号経路の始点がスキャンフリップフロップのデータ出力端子であるとき、このスキャンフリップフロップの通常モードにおける入力データが設定した論理値に一致するように、他の外部入力端子又はスキャンフリップフロップの論理値を設定する。さらに、ステップS22で生成された初期パターンにおいてデータ出力端子に論理値が設定され且つ該データ出力端子が経路の始点でないスキャンフリップフロップの、通常モードにおけるデータ入力がステップS23で記憶した論理値に各々一致するように、外部入力端子又はスキャンフリップフロップの値を決定する。

【0050】次に、ステップS25において、ステップS23で記憶された論理値とステップS24でデータ出力端子に設定された論理値とが矛盾するスキャンフリップフロップが、与えられた集積回路内に存在するか否かを判断する。論理値が矛盾するスキャンフリップフロップが存在し、且つステップS24でのスキャンフリップフロップの出力端子に論理値を設定した際に辿った信号線が経路遅延故障を含んでいなければ、ステップS26に進み、それ以外の場合は、選択された経路遅延故障の処理は終了したものとして、ステップS21に戻る。

【0051】次に、ステップS26において、論理値が矛盾するスキャンフリップフロップに対し、ステップS

24でこのスキャンフリップフロップの出力端子に論理値を設定した際に辿った信号線上の、このスキャンフリップフロップの出力データが保持可能である位置に、Dフリップフロップ又はスキャンフリップフロップを挿入する。また、挿入したDフリップフロップ又はスキャンフリップフロップは、与えられた集積回路内にすでに構成されているスキャンチェーンに接続する。Dフリップフロップ又はスキャンフリップフロップを挿入したら、選択された経路遅延故障の処理は終了したものとして、ステップS21に戻る。

【0052】本実施形態に係る検査容易化設計方法について、図2に示した回路を対象にした場合を例にとって、さらに詳細に説明する。ステップS21～S25によって、信号経路20a, 20b及び20cに対する初期パターン及び遷移パターンが生成され、図4に示すように、論理値が矛盾するスキャンフリップフロップ10e及び10fが決定される。ここまで、第1の実施形態と同様である。

【0053】次に、ステップS26において、論理値が矛盾するスキャンフリップフロップ10e及び10fの出力信号線にスキャンフリップフロップを挿入する。

【0054】図7は、ステップS26でスキャンフリップフロップが挿入された結果を示す回路図である。図7において、スキャンフリップフロップ10eのデータ出力端子と、遷移パターンを生成する際に辿った信号線上にあるNORゲート11の入力端子との間に、スキャンフリップフロップ40aが挿入されている。そして、スキャンフリップフロップ40aとNORゲート11との間にセレクタ41aが挿入されており、セレクタ41aはスキャンフリップフロップ10eの出力データ及び挿入されたスキャンフリップフロップ40aの出力データのいずれか一方を、新たに付加された外部入力ビン42から入力される信号に従って選択出力する。また、スキャンフリップフロップ10fのデータ出力端子と、遷移パターンを生成する際に辿った信号線上にあるANDゲート12の入力端子との間に、スキャンフリップフロップ40bが挿入されている。そして、スキャンフリップフロップ40bとANDゲート12との間にセレクタ41bが挿入されており、セレクタ41bはスキャンフリップフロップ10fの出力データ及び挿入されたスキャンフリップフロップ40bの出力データのいずれか一方を、前記外部入力ビン42から入力される信号に従って選択出力する。さらに、挿入されたスキャンフリップフロップ40a及び40bは、他のスキャンフリップフロップ10a～10gによって構成されたスキャンチェーンに新たに接続されている。

【0055】以上説明したように、本実施形態に係る検査容易化設計方法によると、初期パターンと遷移パターンとでデータ出力端子における論理値が矛盾するスキャンフリップフロップの出力信号線にDフリップフロップ

又はスキャンフリップフロップを挿入することによって、論理値の矛盾を解消する。これにより、従来では検査系列の生成に失敗していた経路遅延故障に対しても検査系列を生成することができるようになり、集積回路の検査容易化が実現される。しかも、論理値が矛盾する箇所にDフリップフロップ又はスキャンフリップフロップを挿入するだけなので、従来よりも少ないハードウェア量で、集積回路の検査容易化を行うことができる。

【0056】また、本実施形態に係る検査容易化設計方法によって設計変更された回路は、従来の検査系列生成方法によって検査系列の生成を行うことができる。

【0057】(第3の実施形態) 本発明の第3の実施形態は、第1の実施形態に係る検査容易化設計方法によって経路遅延故障の検査容易化が行われた集積回路を対象にした、検査系列生成方法を示すものである。

【0058】図8は、本実施形態に係る検査系列生成方法における処理の流れを示すフローチャートである。

【0059】まず、ステップS31において、与えられた集積回路を基にして検査系列生成用の回路モデルを生成する。具体的には、第1の実施形態に係る検査容易化設計方法によって配置されたDラッチを、2つのデータ入力端子のうち一方はDラッチのデータ入力端子が接続されていたスキャンフリップフロップに接続され、他方は架空の外部入力端子に接続された、2入力のセレクタに変換する。また、各セレクタの選択信号入力端子は、架空の選択信号用外部入力端子に接続されているものとする。

【0060】次に、ステップS32において、与えられた集積回路に対し、まだ処理されていない経路遅延故障があるか否かを判断する。処理されていない経路遅延故障があるときは、対象とする経路遅延故障を1つ選択してステップS33に進み、処理されていない経路遅延故障がないときは、処理を終了する。

【0061】ステップS33において、ステップS31で生成された回路モデルに対して初期パターンを生成する。具体的には、選択された経路遅延故障が立ち上がり遅延故障であるときは、この経路遅延故障が想定された信号経路の始点に論理値“0”を設定し、立ち下がり遅延故障であるときは、信号経路の始点に論理値“1”を設定する。また、他の外部入力端子及びスキャンフリップフロップのデータ出力端子に、この信号経路を活性化するような論理値を設定する。

【0062】次に、ステップS34において、ステップS31で生成された回路モデルに対して遷移パターンを生成する。具体的には、選択された経路遅延故障が立ち上がり遅延故障であるときは信号経路の始点に論理値

“1”を設定し、処理対象の経路遅延故障が立ち下がり遅延故障であるときは論理値“0”を設定する。また、信号経路の始点がスキャンフリップフロップのデータ出力端子であるとき、このスキャンフリップフロップの通

常モードにおける入力データが、設定した論理値に一致するように、他の外部入力端子又はスキャンフリップフロップの論理値を設定する。さらに、ステップS33で生成された初期パターンにおいてデータ出力端子に論理値が設定され且つ該データ出力端子が経路の始点でないスキャンフリップフロップの、通常モードにおけるデータ入力が初期パターンにおいて設定された論理値に各々一致するように、外部入力端子又はスキャンフリップフロップのデータ出力端子における論理値を設定する。

【0063】次に、ステップS35において、与えられた集積回路に対し、ステップS31で変換されたセレクタの2つのデータ入力端子のうち架空の外部入力端子に接続されたデータ入力端子の論理値を、セレクタのデータ出力端子が接続されたスキャンフリップフロップに設定するようなスキャンインパターンを生成する。また、このスキャンインパターンにおいて、検査容易化設計によって挿入されたDラッチがデータスルーモードになるように、Dラッチのイネーブル入力端子に接続された外部入力端子の論理値を設定する。

【0064】次に、ステップS36において、ステップS33で生成された初期パターン及びステップS34で生成された遷移パターンにおいて設定された論理値を、各スキャンフリップフロップのデータ出力端子に設定するようなスキャンインパターンを生成する。また、このスキャンインパターンにおいて、検査容易化設計によって挿入されたDラッチをデータ保持モードにするために、Dラッチのイネーブル入力端子に接続された外部入力端子の論理値を設定する。

【0065】次に、ステップS37において、スキャンモードと通常モードとを切り換える外部入力端子の論理値を集積回路が通常モードになるように設定し、クロックパルスを1つ発生させる検査パターン（通常パターン）を生成する。

【0066】本実施形態に係る検査系列生成方法について、図5に示す回路を対象にする場合を例にとって、さらに詳細に説明する。第1の実施形態で説明したように、図5に示す回路は、検査容易化設計によって、Dラッチ30a及び30bが挿入されている。

【0067】まず、ステップS31において、図5に示す回路を基にして検査系列生成用の回路モデルを生成する。図9は、図5に示す回路を基にして生成された回路モデルを示す回路図である。図9において、Dラッチ30aはセレクタ50aに変換され、Dラッチ30bはセレクタ50bに変換されている。セレクタ50aのデータ入力端子のうち、一方は架空の外部入力端子51aに接続され、他方はスキャンフリップフロップ10eのデータ出力端子に接続されている。また、セレクタ50bのデータ入力端子のうち、一方は架空の外部入力端子51bに接続され、他方はスキャンフリップフロップ10fのデータ出力端子に接続されている。さらに、セレクタ50a及び50bの選択信号入力端子は、共に架空の選択信号外部入力端子52に接続されている。

【0068】次に、ステップS32において、まだ処理されていない経路遅延故障のうち、信号経路20a、20b及び20cにおける立ち上がり遅延故障を選択する。

【0069】次に、ステップS33において、図9に示す回路モデルに対し、初期パターンを生成する。まず、経路遅延故障が想定された信号経路の始点となるスキャンフリップフロップ10dのデータ出力端子に論理値“0”を設定し、さらに、経路20b及び20cを活性化するために、スキャンフリップフロップ10eのデータ出力端子に論理値“1”を設定し、スキャンフリップフロップ10fに論理値“0”を設定する。

【0070】次に、ステップS34において、図9に示す回路モデルを対し、遷移パターンを生成する。まず、信号経路の始点となるスキャンフリップフロップ10dのデータ出力端子に論理値“1”を設定する。また、スキャンフリップフロップ10dの通常モードにおける入力データとして論理値“1”を与えるため、スキャンフリップフロップ10aのデータ出力端子及びセレクタ50aのデータ出力端子に、各々論理値“0”を設定する。このとき、セレクタ50aは、架空の外部入力端子51aから入力されたデータを常に選択するよう、架空の選択信号外部入力端子52から入力される選択信号によって指示されているものとし、架空の外部入力端子51aにも論理値“0”を設定する。

【0071】また、スキャンフリップフロップ10eの通常モードにおける入力データとして、初期パターンにおいてデータ出力端子に設定された論理値“1”を与えるため、スキャンフリップフロップ10bのデータ出力端子及びセレクタ50bのデータ出力端子に、各々論理値“1”を設定する。このとき、セレクタ50bは、架空の外部入力端子51bから入力されたデータを常に選択するよう、架空の選択信号外部入力端子52から入力される選択信号によって指示されているものとし、架空の外部入力端子51bにも論理値“1”を設定する。

【0072】さらに、スキャンフリップフロップ10fの通常モードにおける入力データとして、初期パターンにおいてデータ出力端子に設定された論理値“0”を与えるため、スキャンフリップフロップ10cのデータ出力端子に、論理値“1”を設定する。

【0073】次に、ステップS35において、図5に示す実際の回路に対して、架空の外部入力端子51aに設定された論理値“0”をスキャンフリップフロップ10eのデータ出力端子に設定し、架空の外部入力端子51bに設定された論理値“1”をスキャンフリップフロップ10fのデータ出力端子に設定するようなスキャンインパターンを生成する。また、このスキャンインパターンにおいて、外部入力端子31の論理値を、Dラッチ3

0a及び30bがデータスルーモードになる値にする。
 【0074】次に、ステップS36において、図5に示す実際の回路に対して、スキャンフリップフロップ10a, 10b, 10c, 10d, 10e及び10fに初期パターン及び遷移パターンにおいてそれぞれ設定された論理値が、実際に各スキャンフリップフロップに与えられるようなスキャンインパターンを生成する。また、このスキャンインパターンにおいて、外部入力端子31の論理値を、Dラッチ30a及び30bがデータ保持モードになる値にする。

【0075】次に、ステップS37において、各スキャンフリップフロップが通常のシフト動作を行うような1クロック分の通常パターンを生成する。このとき、モード切り換え用の外部入力端子の論理値を、各スキャンフリップフロップが通常モードになる値にする。各経路遅延故障に対し、ステップS33～S37を繰り返し実行することによって、全ての経路遅延故障に対する検査系列を生成する。

【0076】以上説明したように、本実施形態に係る検査系列生成方法によると、Dラッチを配置することによって検査容易化が行われた集積回路に対して、検査系列を容易に生成することができる。

【0077】なお、トライステート素子を配置することによって検査容易化が行われた回路に対しても、同様に、検査系列を容易に生成することができる。

【0078】

【発明の効果】以上説明したように、本発明に係る検査容易化設計方法によると、わずかなハードウェアの追加によって、集積回路における経路遅延故障の有無の検査を容易にすることができる。

【0079】また、本発明に係る検査系列生成方法によると、本発明に係る検査容易化設計方法によって検査容易化された集積回路に対し、検査系列を容易に生成することができる。したがって、本発明によって、面積オーバーヘッドの大幅な増加を招くこと無く、集積回路にお

ける経路遅延故障の検出率を向上することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係る、経路遅延故障の検査容易化設計方法の処理の流れを示すフローチャートである。

【図2】本実施形態に係る検査容易化設計方法を説明するため用いる、検査容易化設計対象の集積回路の回路図である。

【図3】図2に示す回路に対する初期パターンの生成を示す回路図である。

【図4】図2に示す回路に対する遷移パターンの生成を示す回路図である。

【図5】図2に示す回路に対するDラッチの挿入を説明するための回路図である。

【図6】本発明の第2の実施形態に係る、経路遅延故障の検査容易化設計方法の処理の流れを示すフローチャートである。

【図7】図2に示す回路に対するDフリップフロップ又はスキャンフリップフロップの挿入を説明するための回路図である。

【図8】本発明の第3の実施形態に係る、経路遅延故障検出のための検査系列生成方法の処理の流れを示すフローチャートである。

【図9】本発明の第3の実施形態に係る検査系列生成方法において生成される回路モデルを示す回路図である。

【符号の説明】

10a～10g スキャンフリップフロップ

20a～20c 信号経路

30a, 30b Dラッチ

31 外部入力端子

40a, 40b スキャンフリップフロップ

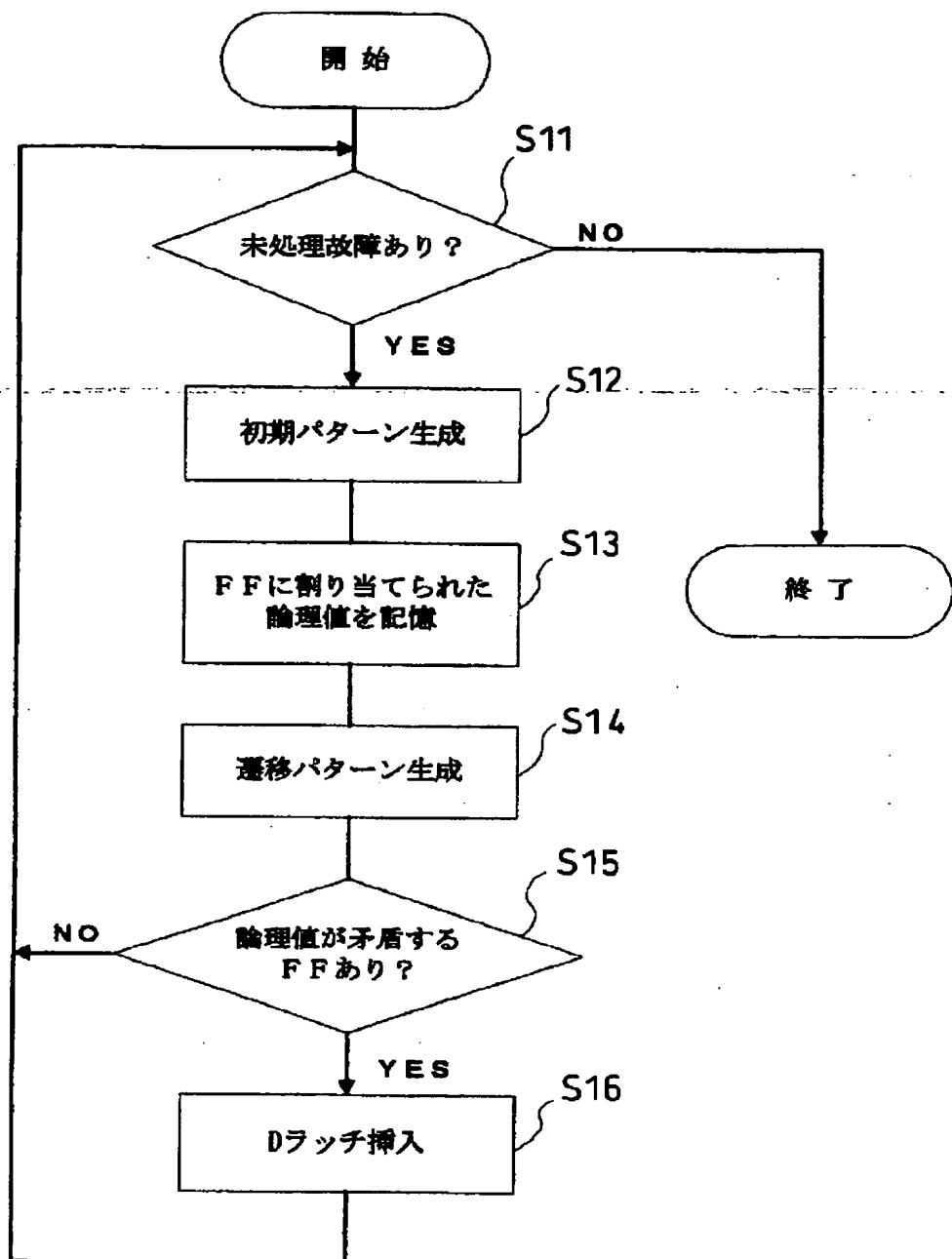
41a, 41b セレクタ

50a, 50b セレクタ

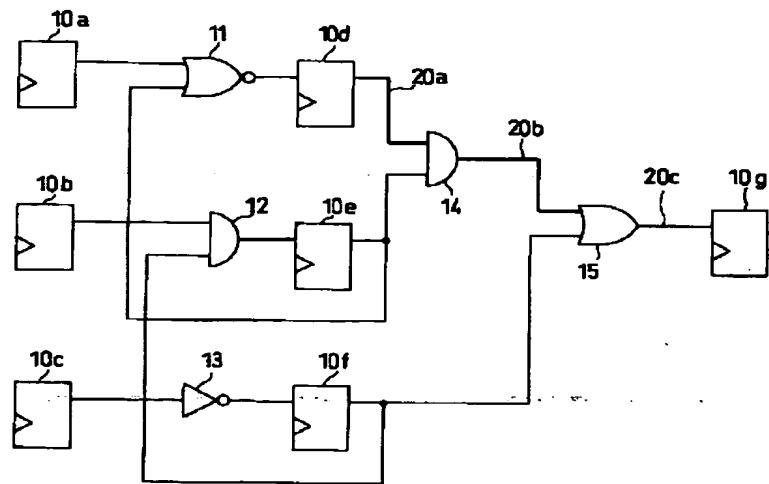
51a, 51b 架空の外部入力端子

52 架空の選択信号外部入力端子

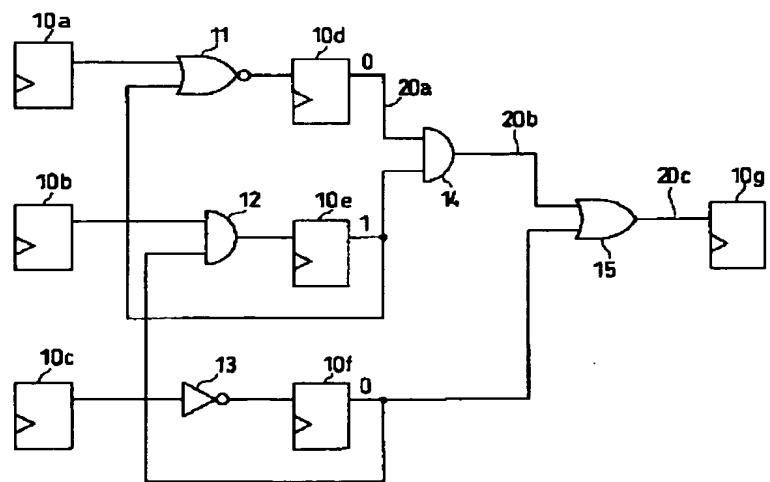
【図1】



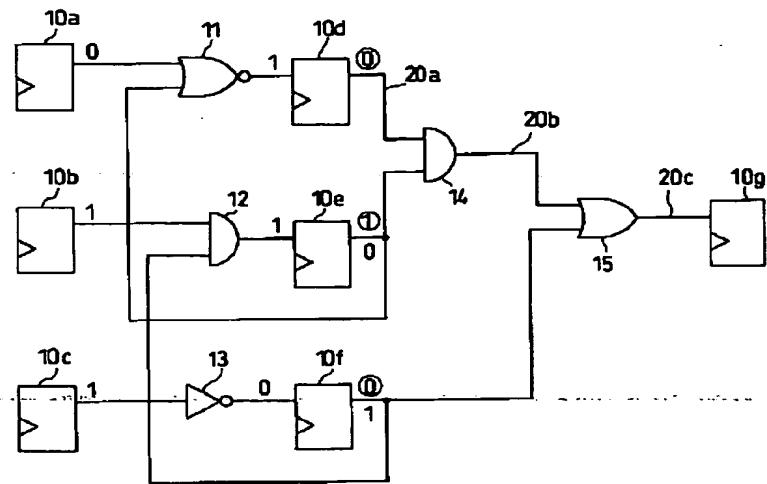
【図2】



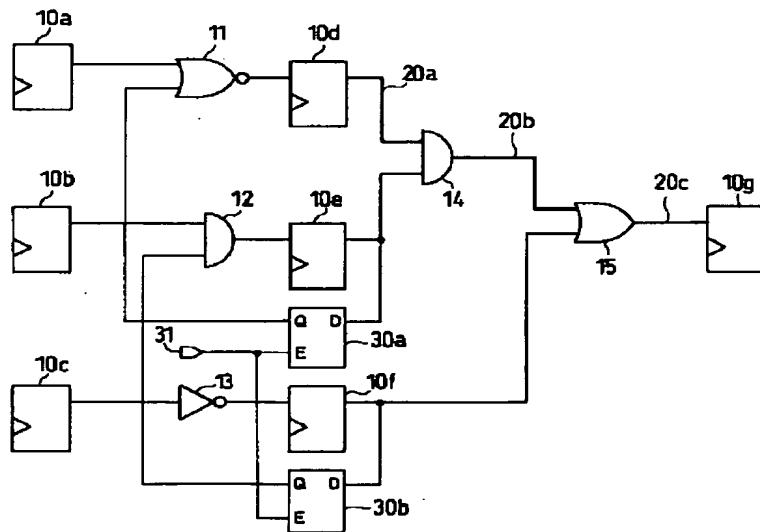
【図3】



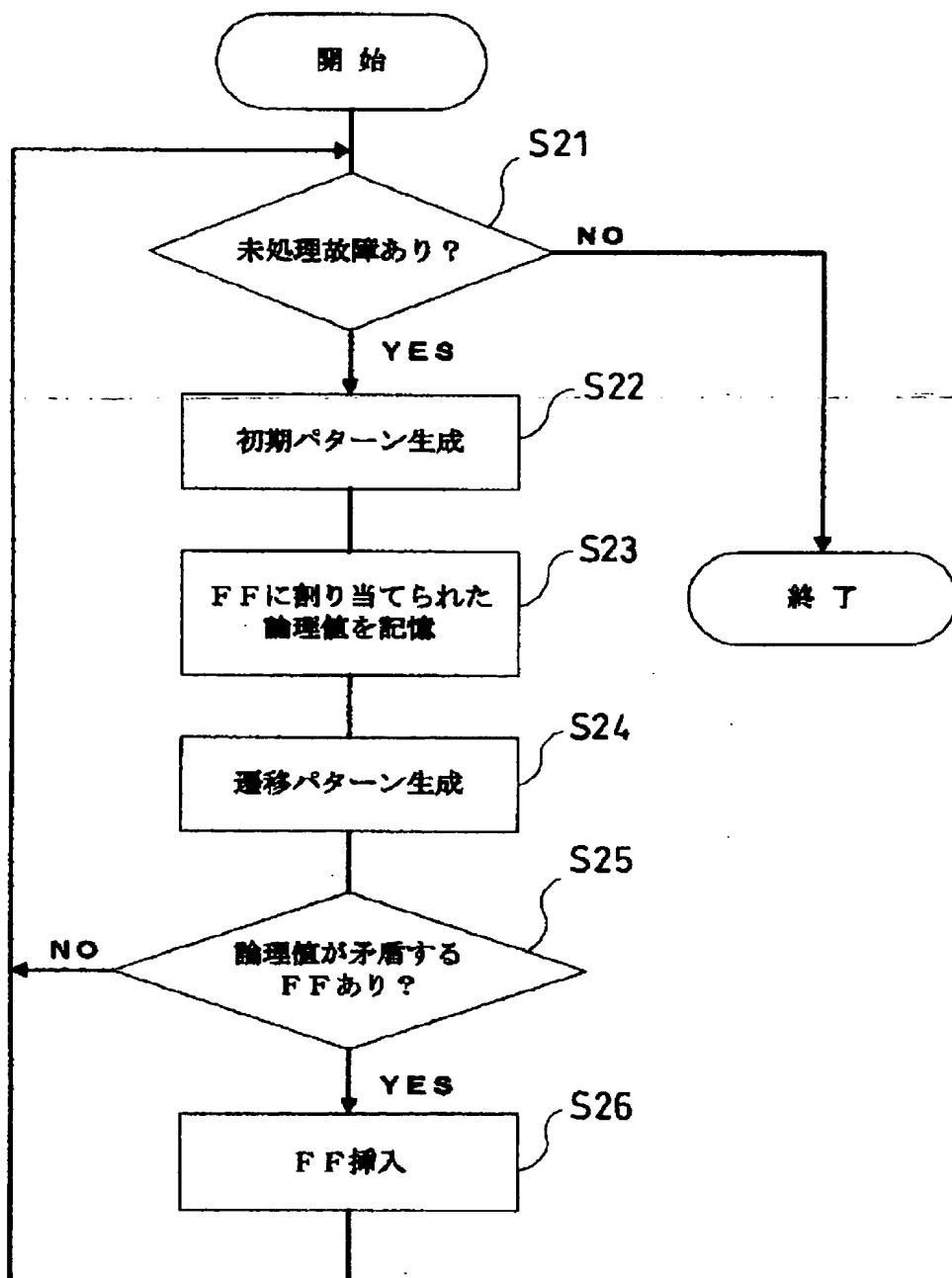
〔図4〕



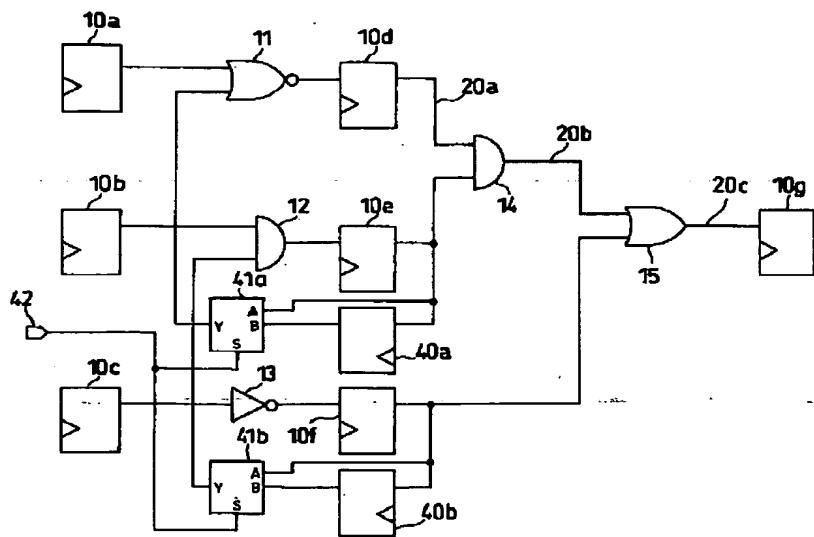
【图5】



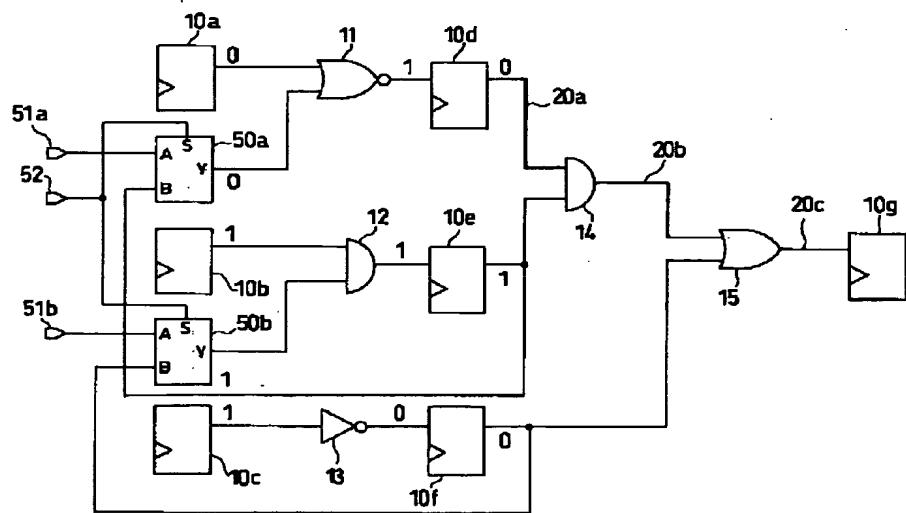
【図6】



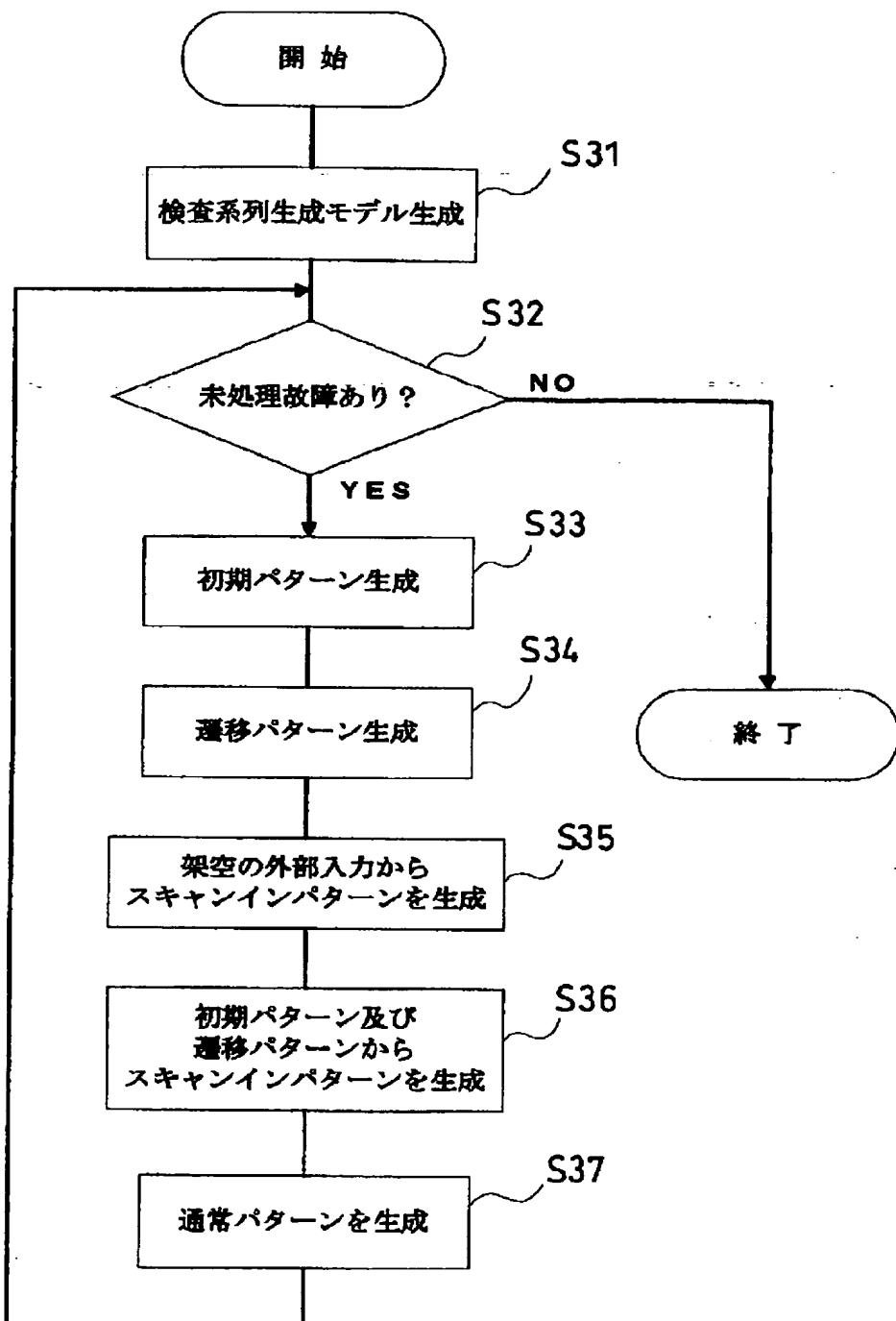
【図7】



【図9】



【図8】



フロントページの続き

(51) Int. Cl. 6	識別記号	序内整理番号	F I	技術表示箇所
			G 06 F 15/60	670
			G 11 C 11/34	341D